



模数转换器ADC



模数转换器ADC

在现实世界中，许多量都是模拟量，例如电压、电流、温度、湿度、压力等信号，而在DSP等微控制器的世界中，所有的量却都是数字量，那如何实现将现实世界的模拟量提供给DSP等微控制器呢？模数转换器ADC模块就是连接现实世界和微控制器的桥梁，它可以将现实世界的模拟量转换成数字量，提供给控制器使用。本章将详细介绍F28335内部自带ADC模块的性能、特点及其工作方式。



F28335内部的ADC模块

F28335内部的ADC模块是一个12位分辨率的、具有流水线结构的模数转换器，其结构框图如图11-1所示。从图11-1可以看到，F28335的ADC模块一共具有16个采样通道，分成了两组，一组为ADCINA0~ADCINA7，另一组为ADCINB0~ADCINB7。A组的通道使用采样保持器A，也就是图中的S/H-A，B组的通道使用采样保持器B，也就是图中的S/H-B。



F28335内部的ADC模块

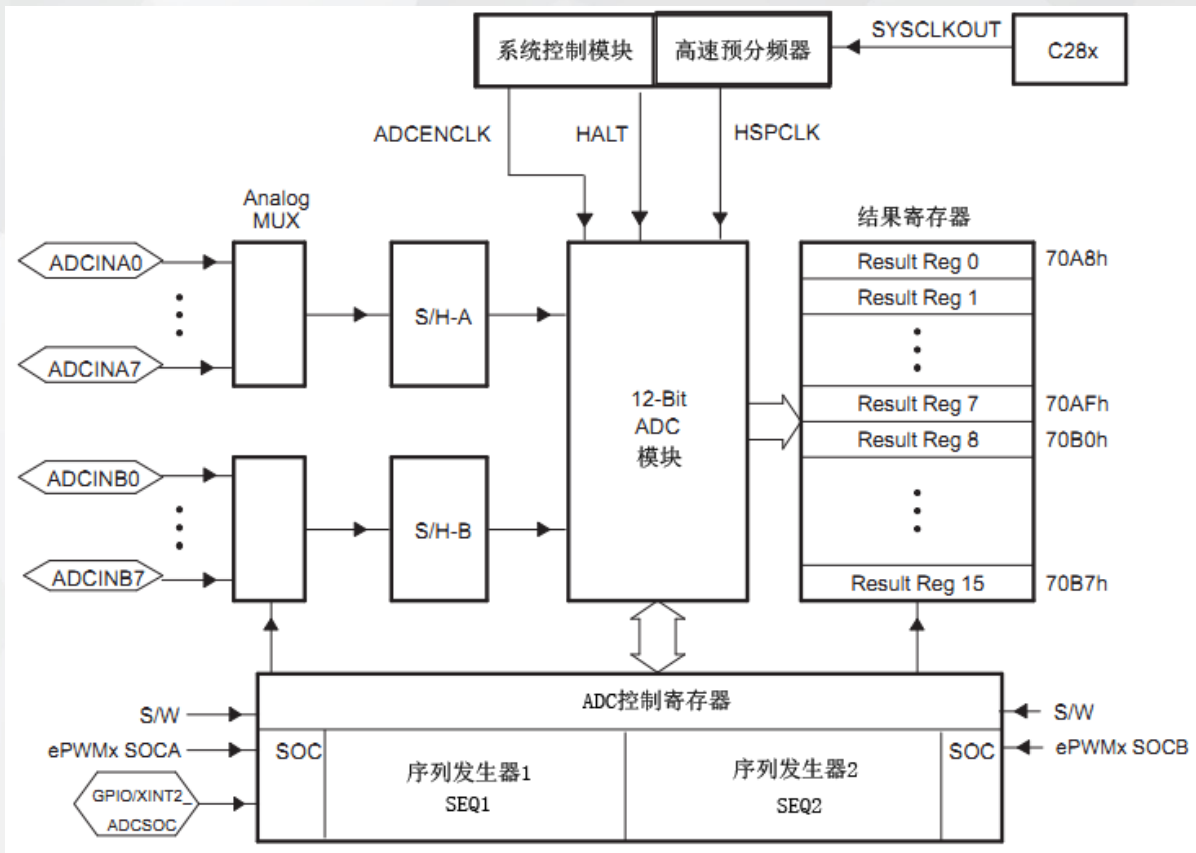


图11-1 F28335内部ADC模块的结构框图



F28335内部的ADC模块

虽然ADC模块具有多个输入通道，但是它内部只有1个转换器，也就是说同一时刻只能对1路输入信号进行转换。当有多路信号需要转换时，ADC模块通过前端模拟多路复用器Analog MUX的控制，在同一时刻，只允许让1路信号输入到ADC的转换器中。

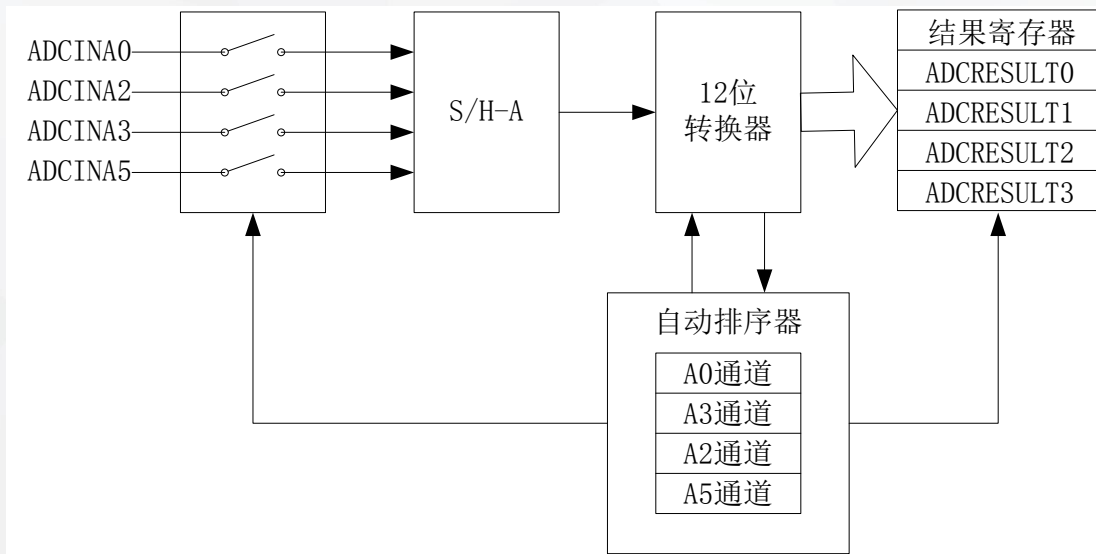


图11-2 多路转换示意图



F28335内部的ADC模块

如图11-2所示，假设现在对ADCINA0、ADCINA2、ADCINA3、ADCINA5这四路输入信号进行AD转换，转换的顺序为ADCINA0、ADCINA3、ADCINA2、ADCINA5，则第一次Analog MUX中ADCINA0通道的开关闭合，ADCINA0信号输入至转换器中，转换的结果存放于结果寄存器ADCRESULT0中；第二次Analog MUX中ADCINA3通道的开关闭合，ADCINA3信号输入至转换器中，转换的结果存放于结果寄存器ADCRESULT1中；第三次Analog MUX中ADCINA2通道的开关闭合，ADCINA2信号输入至转换器中，转换的结果存放于结果寄存器ADCRESULT2中；第四次Analog MUX中ADCINA5通道的开关闭合，ADCINA5信号输入至转换器中，转换的结果存放于结果寄存器ADCRESULT3中，至此，完成一个序列的转换。可见，同一时刻，ADC模块只能对1个通道的信号进行转换。



F28335内部的ADC模块

上面的例子中是对四个通道进行采样并转换，转换的顺序为A0、A3、A2、A5，那ADC模块是如何来实现预定的转换顺序的呢？换句话说，如何才能让ADC按照用户指定的顺序对各个通道进行采样并转换呢？如图11-2所示，ADC模块内部具有自动序列发生器，用户可以通过编程为序列发生器指定需要转换的通道顺序，例如这里，序列发生器中第一个通道为A0，然后是A3、A2和A5，一旦启动转换，ADC便按照序列发生器中通道的顺序对指定的输入信号进行转换。



F28335内部的ADC模块

从图11-1中可以看到，F28335的ADC模块具有两个8状态的序列发生器，SEQ1和SEQ2，这两个序列发生器分别对应于2组采样通道，A组通道ADCINA0~ADCINA7对应于序列发生器SEQ1，而B组通道ADCINB0~ADCINB7对应于序列发生器SEQ2，此时，ADC工作于2个独立的8通道模块。当ADC级联成一个16通道的模块时，SEQ1和SEQ2也级联成一个16状态的序列发生器SEQ。对于每个序列发生器，一旦指定的序列转换结束，已选择采样的通道值就会被保存到各个通道的结果寄存器中。对应于16个信号输入通道，F28335的ADC模块总共有16个结果寄存器ADCRESULT0~ADCRESULT15。



F28335内部的ADC模块·ADC模块的特点

F28335内部自带ADC模块的特点如下：

- 1.一共有16个模拟量输入引脚，将这16个输入引脚分成了两组，A组的引脚为ADCINA0~ADCINA7，B组的引脚为ADCINB0~ADCINB7。
- 2.具有12位的ADC内核，内置有2个采样保持器S/H-A和S/H-B，从图11-1可以知道，引脚ADCINA0~ADCINA7对应于采样保持器S/H-A，引脚ADCINB0~ADCINB7对应于采样保持器S/H-B。
- 3.ADC模块的时钟频率最高可配置为25MHz，采样频率最高为12.5MSPS，也就是说每秒最高能完成12.5个百万次的采样。



F28335内部的ADC模块·ADC模块的特点

4.ADC模块的自动序列发生器可以按两个独立的8状态序列发生器(SEQ1和SEQ2)来运行，也可以按一个16状态的序列发生器(SEQ)来运行。不管是SEQ1、SEQ2或者是级联后的SEQ，每个序列发生器都允许系统对同一个通道进行多次采样，也就是说允许用户执行过采样的算法。如图11-3所示，8状态的序列发生器SEQ1中先对通道ADCINA0连续采样3次，然后再对ADCINA1通道连续采样3次，最后对ADCINA2通道连续采样2次。以ADCINA0为例，3次采样结果的平均值肯定要比单次采样结果的精度来的高。

序列发生器SEQ1

A0通道
A0通道
A0通道
A1通道
A1通道
A1通道
A2通道
A2通道

图11-3 自动序列发生器SEQ1

F28335内部的ADC模块·ADC模块的特点

5.ADC采样输入的范围为0~3V。如果输入的电压过高，或者输入的电压为负电压，都会烧毁DSP，因此，通常需要将采样输入的信号先经过调理电路进行调整，使其输入电压范围在0~3V之间。这里解释一下，如果电压大于3V，ADC不会立即烧坏的，只有当电压大于四点几伏时，DSP才会烧坏，但是电压高于3V时，采样得到的结果始终是3V，这样的结果已经没有意义。如果输入的电压值范围为0~X，X大于3V，则可以通过分压电路，使得输入电压的最大值小于3V，或者输入的电压范围为-X~Y，则可以将电压整体抬高X，使其电压范围变为0~(X+Y)，然后再通过其他方式，使得电压最大值小于3V。如果将调整前的信号称为原始信号，而将调整后的信号称为调整信号，DSP采样得到的是调整信号的值，但是最后可以在DSP程序中通过原始信号和调整信号的关系来还原原始输入信号的值。下面介绍一个常用的信号调理电路，可以将-5V~5V的信号变换到0~3V，从而满足采样输入的要求，如图11-4所示。



F28335内部的ADC模块·ADC模块的特点

为了保险起见，在 AD端口最好加一个如图11-5所示的嵌位电路。图中采用了一个双二极管，比如英飞凌公司的BAT68-04。当输入电压超过3.3V时，二极管D1导通，ADC输入引脚上的电平变为3.3V；当输入电压为负电压时，二极管D2导通，ADC输入引脚上的电平变为0，因此这个电路能够将ADC输出引脚上的电平稳定在0~3.3V之间，从而保护了AD输入端口。不是说AD端口的输入电压是0~3V的么，为何图11-5中设计的高电压是3.3V呢？这是从工程设计的实际情况出发的，选择最容易获得的并且接近的电压，因为DSP的工作电压中有3.3V，所以选择3.3V。



F28335内部的ADC模块·ADC模块的特点

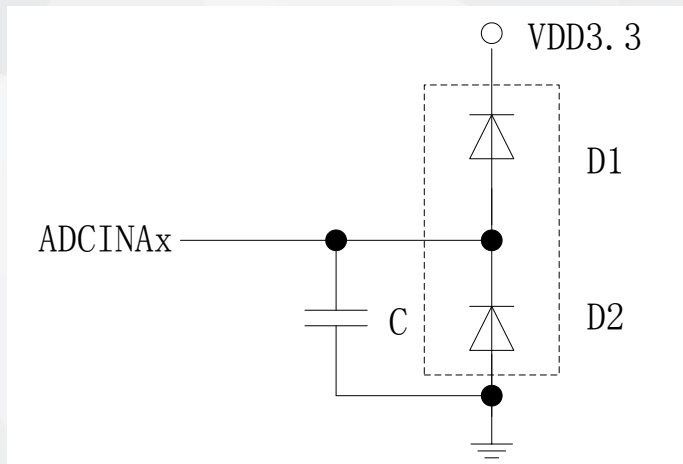


图11-5 AD端口的嵌位电路

连接到ADCIN_x引脚的输入信号要尽可能地远离数字电路信号线，ADC模块的供电电源与数字电源隔离开，避免数字电源的高频干扰，ADC的参考电压是影响AD转换精度的一个重要因素，因此需要注意ADC参考源的电压纹波处理。F28335的ADC参考电源选择和F2812的有所不同，F2812只能使用内部参考电压，而F28335可以通过寄存器来选择使用内部参考电压还是外部参考电压。



F28335内部的ADC模块·ADC模块的特点

6.ADC对一个序列的通道进行转换需要有一个启动信号，或者说是一个触发信号。当启动信号到来时，相应的序列发生器就开始对其内部预先指定的通道进行转换。当ADC工作于独立的8状态序列发生器SEQ1、SEQ2，和工作于一个级联的16状态序列发生器时，启动AD转换的方式稍有不同，具体的如表11-1所示。软件立即启动，是指通过程序对ADC控制寄存器ADCTRL2的第11位，即SOC SEQ1位置1，来立即启动AD转换。外部引脚启动方式是指当引脚XINT2_ADCSOC从低电平转为高电平的时候，启动AD转换，当然首先需要将该引脚设置为功能引脚，而不是通用的数字I/O口。还有一种是通过ePWM模块启动AD转换。从表11-1可以看出，序列发生器SEQ的启动方式其实就是综合了序列发生器SEQ1和SEQ2的启动方式。



F28335内部的ADC模块·ADC模块的特点

序列发生器	SEQ1	SEQ2	SEQ
启动方式	软件立即启动(S/W) ePWMx SOCA 外部引 (GPIO/XINT2_ADCSOC)	软件立即启动(S/W) ePWMx SOCB	软件立即启动(S/W) ePWMx SOCA ePWMx SOCB 外部引脚(GPIO/XINT2_ADCSOC)

表11-1 SEQ1、SEQ2和级联SEQ的有效启动方式



F28335内部的ADC模块·ADC模块的特点

从图11-6可知，如果当模拟输入电压为3V时，ADC结果寄存器的高12位均为1，而低4位均为0，则此时结果寄存器中的数字量是0xFFF0，也就是65520。当模拟输入电压为0V时，ADC结果寄存器中的数字量为0，由于ADC转换的特性是线性关系的，如图11-12所示，所以不难得到：

$$\text{ADResult} = \frac{\text{VoltInput} - \text{ADCLO}}{3.0} * 65520$$

式中，ADResult是结果寄存器中的数字量，VoltInput是模拟电压输入值，ADCLO是ADC转换的参考电平，实际使用时，通常将其与AGND连在一起，因此此时ADCLO的值为0。



F28335内部的ADC模块·ADC模块的特点

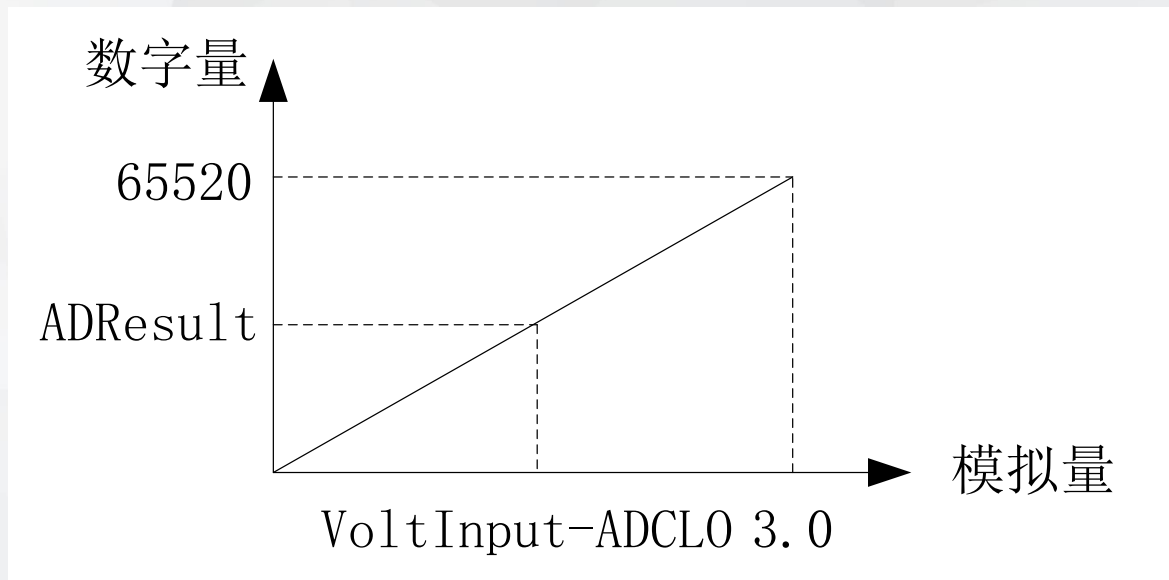


图11-7 ADC转换特性



F28335内部的ADC模块·ADC模块的特点

还有一种关系表达式，其结果是一样的，只是表达的方法不一样。由于ADC结果寄存器中的数字量位于高12位，低4位是无效的，那是不是可以将ADResult中的值先右移4位，然后再进行计算。同样的，当输入的电压为3V时，ADResult右移4位后，值为0x0FFF，也就是4095。当输入的电势为0V时，结果寄存器的值依然为0。根据图11-7所示的线性转换关系，有：

$$(\text{ADResult} \gg 4) = \frac{\text{VoltInput} - \text{ADCLO}}{3.0} * 4095$$

在实际应用中，通常都是通过读取ADC结果寄存器中的值，然后求得实际输入的模拟电压值。



F28335内部的ADC模块·ADC的时钟频率和采样频率

图11-8显示了驱动ADC模块的时钟和采样脉冲的时钟。

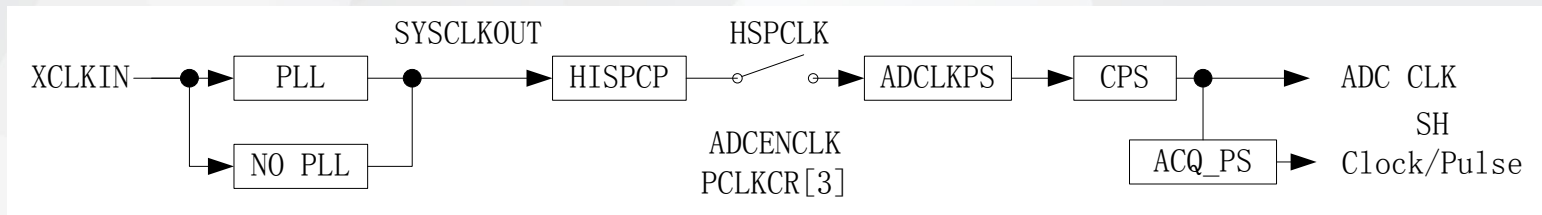


图11-8 ADC时钟级联

下面来详细分析ADC模块的时钟ADCLK。图11-8中的XCLKIN是指外部输入的时钟，这里也就是外部晶振所产生的时钟。假设外部晶振的频率为OSCCLK Hz，通过前面的介绍可以知道，通常选用的是30M的晶振。



F28335内部的ADC模块·ADC的时钟频率和采样频率

外部晶振经过PLL模块产生CPU时钟SYSCLKOUT，如果PLL模块的值为m，则有：

$$\begin{cases} \text{SYSCLKOUT} = \frac{\text{OSCCLK} * m}{2} (m \neq 0) \\ \text{SYSCLKOUT} = \text{OSCCLK} (m = 0) \end{cases}$$

然后，CPU时钟信号经过高速时钟预定标器HISPCP之后，生成高速外设时钟HSPCLK，假设HISPCP寄存器的值为n，则有：

$$\begin{cases} \text{HSPCLK} = \frac{\text{SYSCLKOUT}}{2 * n} (n \neq 0) \\ \text{HSPCLK} = \text{SYSCLKOUT} (n = 0) \end{cases}$$



F28335内部的ADC模块·ADC的时钟频率和采样频率

如果外设时钟控制寄存器PCLKCR的第3位，也就是位ADCENCLK置位，则HSPCLK输入到ADC模块，否则，HSPCLK不向ADC模块提供时钟，ADC也就不能正常工作。AD控制寄存器ADCTRL3的第0到第3位，也就是功能位ADCLKPS，可以对HSPCLK进行分频，此外，AD控制寄存器ADCTRL1的CPS位另外还可以提供一个2分频，因此，可以得到ADC模块的时钟ADCLK为：

$$\left\{ \begin{array}{l} \text{ADCLK} = \frac{\text{HSPCLK}}{\text{CPS} + 1} (\text{ADCLKPS} = 0) \\ \text{ADCLK} = \frac{\text{HSPCLK}}{2 * \text{ADCLKPS} * (\text{CPS} + 1)} (\text{ADCLKPS} \neq 0) \end{array} \right.$$



F28335内部的ADC模块·ADC的时钟频率和采样频率

由于F28335的ADC时钟频率最高为25MHz，因此，在设置ADC的时钟ADCLK时，不能超过25MHz。在设置完ADCLK之后，紧接着，需要选定采样窗口的大小。首先，什么是采样窗口？对于S/H电路来说，采样窗口其实就是采样时间，或者说是采样脉冲的宽度。为了能够更好地理解采样窗口的概念，这里再来补充介绍一下ADC的模拟输入阻抗模型，如图11-9所示。

图11-9中， C_{sh} 是采样电容， R_{on} 是多路复用器MUX的导通电阻， C_p 是和ADCIN引脚连接的寄生电容。对于每一次采样，采样脉冲为高电平，采样/保持开关S在 t_s 时间是闭合的，在这段时间内，采样电容 C_{sh} 在不断充电，直至电容上的电压等于ADCIN引脚上的电压。这里， t_s 就是采样窗口的时间，很显然，采样窗口必须保证采样电容能有足够的时间来使得其电压等于外部输入的模拟电压，否则采样就会不正确。



F28335内部的ADC模块·ADC的时钟频率和采样频率

从图11-8可以看出，采样窗口的大小由ADC控制寄存器ADCTRL1的位ACQ_PS和ADCCLK有关，假设ADC的每个时钟脉冲的时间为 T_{adclk} ，则采样时间 t_s 为：

$$t_s = (ACQ_PS + 1) * T_{adclk}$$

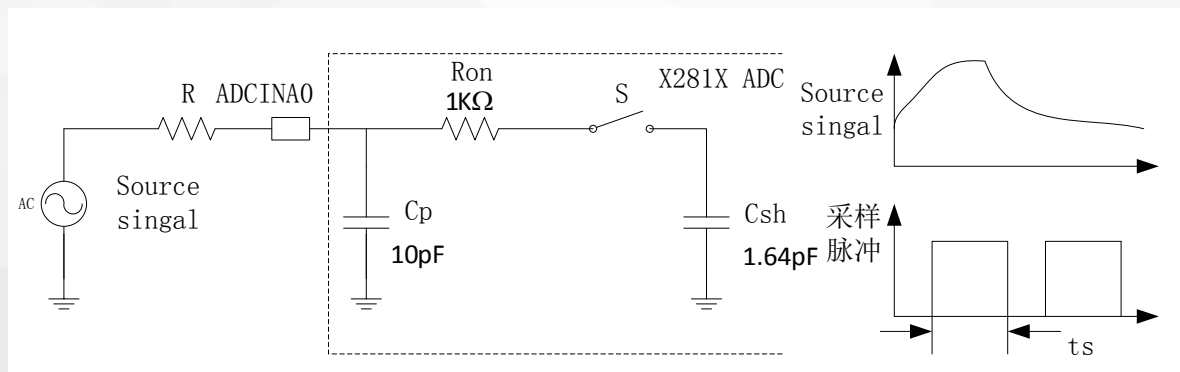


图11-9 ADC模拟输入阻抗模型



F28335内部的ADC模块·ADC的时钟频率和采样频率

下面以两个实例来说明ADC时钟的产生过程，如表11-2所示。

XCLKIN	PLLCR[3:0]	HISPCLK	ADCTRL3[1:4]	ADCTRL1[7]	ADC_CLK	ADCTRL1[8:11]	SH Width
	0000b	HSPCP=0	ADCLKPS=0	CPS=0		ACQ_PS=0	
30MHz	15MHz	15MHz	15MHz	15MHz	15MHz	SH pulse clock=0	1
	1010b	HSPCP=3	ADCLKPS=2	CPS=1		ACQ_PS=15	
30MHz	150MHz	$150/(2*3)=$ 25MHz	$25/(2*2)=$ 6.25MHz	$6.25/(2*1)=$ 3.125MHz	3.125MHz	SH pulse clock=15	16

表11-2 ADC时钟产生实例

如果不是实际的需要，请不要把ADCCLK设置为最高的频率，把ACQ_PS设置为0，除非在ADC模块的输入引脚具有合适的信号环境电路，换句话说除非ADC的输入信号比较理想。为了获取准确和稳定的ADC转换值，通常需要设置较低的时钟频率和较大的采样窗口。



F28335内部的ADC模块·ADC的时钟频率和采样频率

ADC的时钟频率，转换时间和采样频率是三个比较容易混淆的概念。ADC的时钟频率就是每秒有多少个时钟脉冲的意思，它是ADC工作的基础，正如上面所介绍的，它是由系统时钟经过很多环节分频后得到的，它取决于外部的时钟输入和各个环节的倍频或者分频的系数。而转换时间是指ADC模块完成一个通道或者一个序列的转换所需要的时间，很显然，转换时间是由ADC的时钟频率来决定的。采样频率是指ADC模块每秒能够完成多少次的采样，采样频率取决于启动ADC的频率。启动ADC的方式有很多，比如利用软件直接启动，利用PWM的某些事件，或者是利用外部引脚来启动。启动ADC的频率才是ADC的采样频率，例如如果每隔1ms启动一次ADC，那么ADC的采样频率就为1KHz。ADC的采样频率和ADC时钟或者ADC转换时间都没有什么关系，采样频率应该根据采样定理和工程的实际需要来确定。在F28335中，ADC的采样频率最高为12.5MSPS。



ADC模块的工作方式

下面一起来探讨F28335内部的ADC是如何工作的。先来回顾一下前面所学的知识，F28335的ADC一共有16个引脚，分成了两组，一组为ADCINA0~ADCINA7，使用采样保持器S/H-A，对应于序列发生器SEQ1；另一组为ADCINB0~ADCINB7，使用采样保持器S/H-B，对应于序列发生器SEQ2。序列发生器的作用是为需要转换的通道安排转换的顺序，就是来确定先采哪个通道，后采哪个通道，它的状态指示了能够完成模数转换通道的个数。ADC模块既支持2个8状态序列发生器SEQ1和SEQ2分开独立工作，此时称为双序列发生器方式，也支持序列发生器SEQ1和SEQ2级联成一个16状态序列发生器SEQ来工作，此时称为单序列发生器方式，或者称为级联方式。



ADC模块的工作方式

无论ADC工作于双序列发生器方式，还是级联的单序列发生器方式，ADC都可以对一个序列多个通道的转换进行排序，每当ADC收到一个开始转换的请求，便能自动完成这个序列所有通道的转换。转换过程中，可以通过模拟复用器Analog MUX选择序列发生器中指定的通道进行转换，转换后的结果保存到相应的结果寄存器中。

F28335的16个通道可以通过编程来为序列发生器中需要转换的通道安排顺序，这个功能就需要通过ADC输入通道选择序列控制寄存器ADCCHSELSEQ x ($x=1, 2, 3, 4$)来实现。每一个输入通道选择序列控制寄存器都是16位的，被分成了4个功能位CONV xx ，每一个功能位占据寄存器的4个位，如图11-10所示。在AD转换过程中，当前CONV xx 的位定义了要进行转换的引脚。



ADC模块的工作方式

ADCCHSELSEQ1	15	13 11	8 7	4 3	0
	CONV03	CONV02	CONV01	CONV00	
ADCCHSELSEQ2	15	13 11	8 7	4 3	0
	CONV07	CONV06	CONV05	CONV04	
ADCCHSELSEQ3	15	13 11	8 7	4 3	0
	CONV11	CONV10	CONV09	CONV08	
ADCCHSELSEQ4	15	13 11	8 7	4 3	0
	CONV15	CONV14	CONV13	CONV12	

图11-10 ADC输入通道选择序列控制寄存器

当ADC工作于双序列发生器模式下，序列发生器SEQ1使用通道选择控制寄存器ADCCHSELSEQ1和ADCCHSELSEQ2，可选择的通道为ADCINA0~ADCINA7；序列发生器SEQ2使用通道选择控制寄存器ADCCHSELSEQ3和ADCCHSELSEQ4，可选择的通道为ADCINB0~ADCINB7。当ADC工作于单序列发生器模式下，序列发生器SEQ使用通道选择控制寄存器ADCCHSELSEQ1~ADCCHSELSEQ4，可选择的通道为ADC所有的16个通道。



ADC模块的工作方式

表11-3为各个序列发生器所对应的寄存器和可选用的通道情况。

序列发生器	对应的通道选择控制寄存器	CONVxx	对应的引脚
SEQ1	ADCCHSELSEQ1 ADCCHSELSEQ2	CONV00~CONV07	ADCINA0~ADCINA7
SEQ2	ADCCHSELSEQ3 ADCCHSELSEQ4	CONV08~CONV15	ADCINB0~ADCINB7
SEQ	ADCCHSELSEQ1 ADCCHSELSEQ2 ADCCHSELSEQ3 ADCCHSELSEQ4	CONV00~CONV15	ADCINA0~ADCINA7 ADCINB0~ADCINB7

表11-3 各个序列发生器所对应的寄存器和可选用的通道情况



ADC模块的工作方式

当ADC对外部的输入信号进行采样时，可以选择工作于顺序采样或者并发采样两种模式，这是针对于引脚采样的顺序而言的。顺序采样，就是按照序列发生器内的通道顺序一个通道、一个通道地进行采样，比如 ADCINA0、ADCINA1、.....、ADCINA7、ADCINB0、ADCINB1、.....、ADCINB7。并发采样，是一对通道、一对通道的采样，即ADCINA0和ADCINB0一起；ADCINA1和ADCINB1一起；.....；ADCINA7和ADCINB7一起。

在顺序采样模式下，通道选择控制寄存器中CONVxx的4位均用来定义输入引脚。最高位为0时，说明采样的是A组，最高位为1时，说明采样的是B组，而低3位定义的是偏移量，决定了某一组内的某个特定引脚。比如，如果CONVxx的数值是0101b，则说明选择的输入通道是ADCINA5；如果CONVxx的数值是1011b，则说明选择的输入通道是ADCINB3。



ADC模块的工作方式

在并发采样模式下，因为是一一对一对通道进行采样的，所以CONVxx的最高位被舍弃，只有低3位的数据有效。比如，如果CONVxx的数值为0101b，则采样保持器S/H-A对通道ADCINA5进行采样，紧接着S/H-B对通道ADCINB5进行采样；如果CONVxx的数值为1011b，则采样保持器S/H-A对通道ADCINA3进行采样，紧接着S/H-B对通道ADCINB3进行采样。

F28335的ADC还有一个最大转换通道寄存器ADCMAXCONV，这个寄存器的值决定了一个采样序列所要进行转换的通道总数，其结构如图11-11所示。当ADC模块工作于双序列发生器模式时，SEQ1使用位MAXCONV1_0~MAXCONV1_2，即ADCMAXCONV[0:2]，SEQ2使用位MAXCONV2_0~MAXCONV2_2，即ADCMAXCONV[4:6]。当ADC模块工作于级联模式时，SEQ使用位MAXCONV1_0~MAXCONV1_3，即ADCMAXCONV[0:3]。最大通道数等于(MAXCONVn+1)，比如，如果现在某个序列发生器要转换6个通道，则相应的MAXCONVn应该取值为5。



ADC模块的工作方式

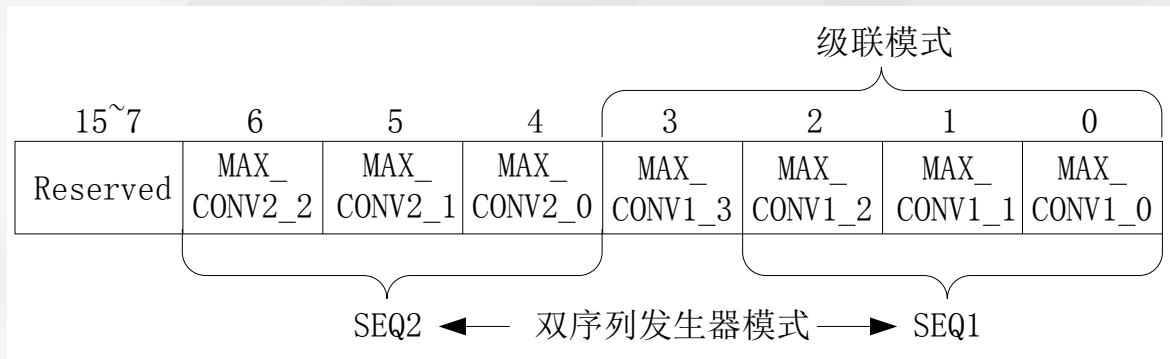


图11-11 最大转换通道寄存器的结构

是不是看得有点晕头转向了，一会是顺序采样、并发采样，一会又是双序列发生器模式、级联模式，是不是很容易混淆起来？其实前者讲的是ADC的采样方式，而后者讲的是序列发生器的工作模式，在双序列发生器模式下可以采用顺序采样或者并发采样，在级联模式下也可以采用顺序采样或者并发采样。下面将结合实例，详细介绍ADC模块的这4种工作方式。



ADC模块的工作方式·双序列发生器模式下顺序采样

假设需要对ADCINA0~ADCINA7，ADCINB0~ADCINB7这16路通道进行采样，ADC模块工作于双序列发生器模式，并采用顺序采样。

由于ADC工作于双序列发生器模式，所以会用到序列发生器SEQ1、SEQ2。最大转换通道寄存器将用到位MAXCONV1和MAXCONV2，两个位的值均为7。由于是顺序采样，必须对16个通道每一个通道都要进行排序，SEQ1将用到通道选择控制寄存器ADCCHSELSEQ1、ADCCHSELSEQ2，SEQ2将用到通道选择控制寄存器ADCCHSELSEQ3、ADCCHSELSEQ4，其通道分配情况如表11-4所示。序列发生器内通道的选择情况如图11-12所示。



ADC模块的工作方式·双序列发生器模式下顺序采样

ADCCHSELSEQ1	CONV00	0000(ADCINA0)	ADCCHSELSEQ Q3	CONV08	1000(ADCINB0)
	CONV01	0001(ADCINA1)		CONV09	1001(ADCINB1)
	CONV02	0010(ADCINA2)		CONV10	1010(ADCINB2)
	CONV03	0011(ADCINA3)		CONV11	1011(ADCINB3)
ADCCHSELSEQ2	CONV04	0100(ADCINA4)	ADCCHSELSEQ Q4	CONV12	1100(ADCINB4)
	CONV05	0101(ADCINA5)		CONV13	1101(ADCINB5)
	CONV06	0110(ADCINA6)		CONV14	1110(ADCINB6)
	CONV07	0111(ADCINA7)		CONV15	1111(ADCINB7)

表11-4 双序列发生器顺序采样模式下
16路通道时ADCCHSELSEQn位情况



ADC模块的工作方式·双序列发生器模式下顺序采样

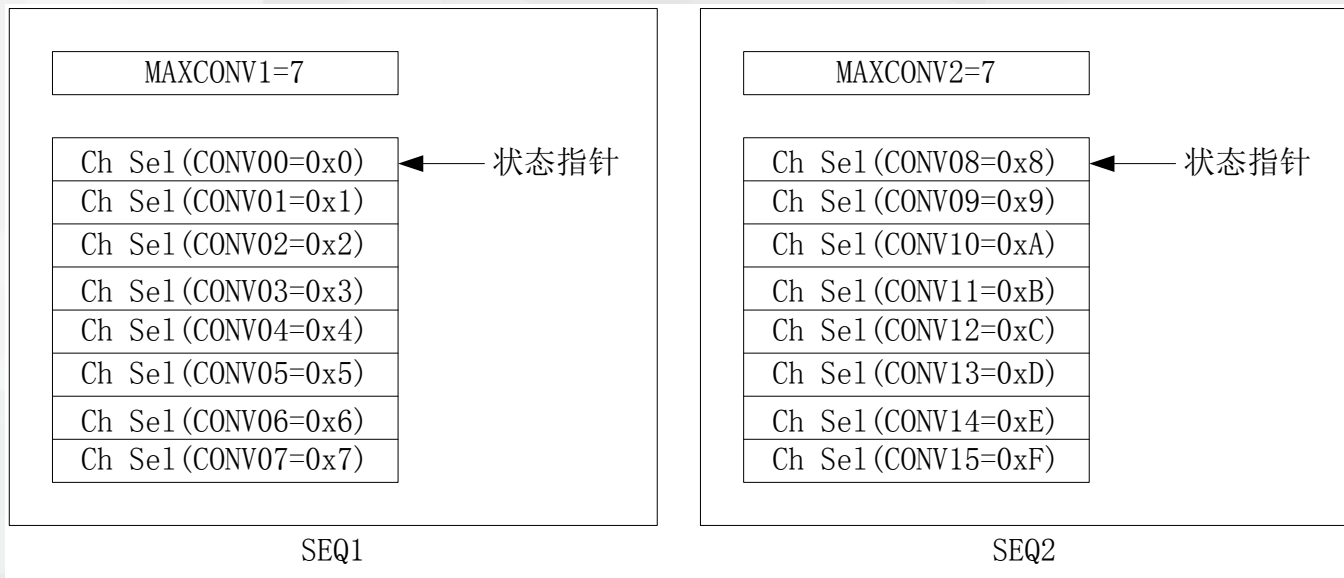


图11-12 双序列发生器顺序采样模式下
序列发生器16路通道选择情况



ADC模块的工作方式·双序列发生器模式下顺序采样

如果序列发生器SEQ1和SEQ2两者都已经完成了转换，转换结果如图11-13所示。

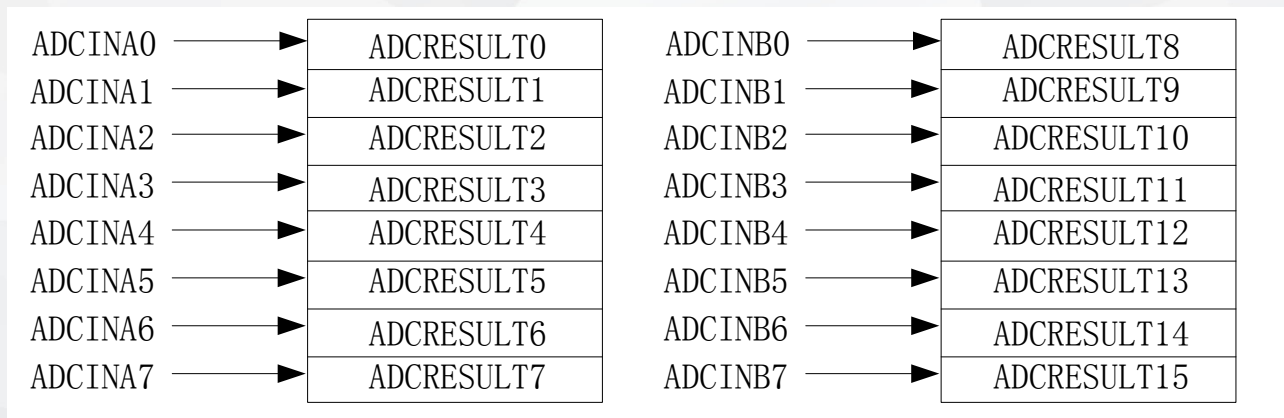


图11-13 双序列发生器顺序采样模式下
16路通道转换结果



ADC模块的工作方式·双序列发生器模式下顺序采样

在双序列发生器模式下，SEQ1和SEQ2是独立工作的，而ADC模块只有一个转换器，就有可能出现SEQ1和SEQ2同时向转换器发出转换请求的情况，这时候转换器应该怎样响应呢？前面学习中断的时候，知道各个中断是有优先级的，这里也一样，两个序列发生器在转换器那里也是有优先级的，SEQ1的优先级高于SEQ2的优先级。当SEQ1和SEQ2同时产生转换请求时，ADC的转换器先响应SEQ1的请求，再响应SEQ2的。如果ADC在转换SEQ1中的序列时，SEQ2的请求在等待状态，这时SEQ1又产生了一个转换请求，则当ADC完成转换后，仍然先响应SEQ1的转换请求，SEQ2继续等待。



ADC模块的工作方式·双序列发生器模式下顺序采样

前面的例子是对16个通道一起采样的，可能很多问题还没有办法看清楚，下面再来看一个实例。假设需要对ADCINA0、ADCINA1、ADCINA2、ADCINB3、ADCINB4、ADCINB5、ADCINB7这7路通道进行采样，ADC模块工作于双序列发生器模式，并采用顺序采样。

和上一个例子一样，由于ADC工作于双序列发生器模式，所以会用到序列发生器SEQ1、SEQ2。最大转换通道寄存器将用到位MAXCONV1和MAXCONV2，这里由于A组转换的通道有3路，B组转换的通道有4路，所以MAXCONV1的值为2，MAXCONV2的值为3。SEQ1将用到通道选择控制寄存器ADCCHSELSEQ1，SEQ2将用到通道选择控制寄存器ADCCHSELSEQ3，其通道分配情况如表11-5所示。序列发生器内通道的选择情况如图11-14所示。



ADC模块的工作方式·双序列发生器模式下顺序采样

ADCCHSELSEQ1	CONV00	0000(ADCINA0)	ADCCHSELSEQ3	CONV08	1000(ADCINB3)
	CONV01	0001(ADCINA1)		CONV09	1001(ADCINB4)
	CONV02	0010(ADCINA2)		CONV10	1010(ADCINB5)
	CONV03	×		CONV11	1011(ADCINB7)
ADCCHSELSEQ2	CONV04	×	ADCCHSELSEQ4	CONV12	×
	CONV05	×		CONV11	×
	CONV06	×		CONV14	×
	CONV07	×		CONV15	×

表11-5 双序列发生器顺序采样模式下
7路通道时ADCCHSELSEQn位情况



ADC模块的工作方式·双序列发生器模式下顺序采样

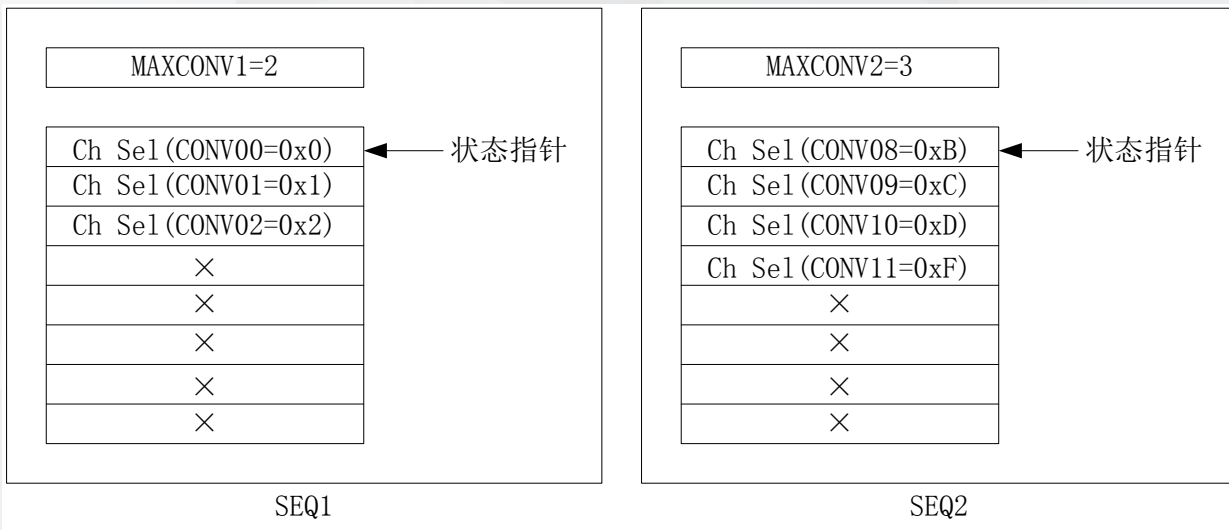


图11-14 双序列发生器顺序采样模式下
序列发生器7路通道选择情况



ADC模块的工作方式·双序列发生器模式下顺序采样

如果序列发生器SEQ1和SEQ2两者都已经完成了转换，转换结果如图11-15所示。

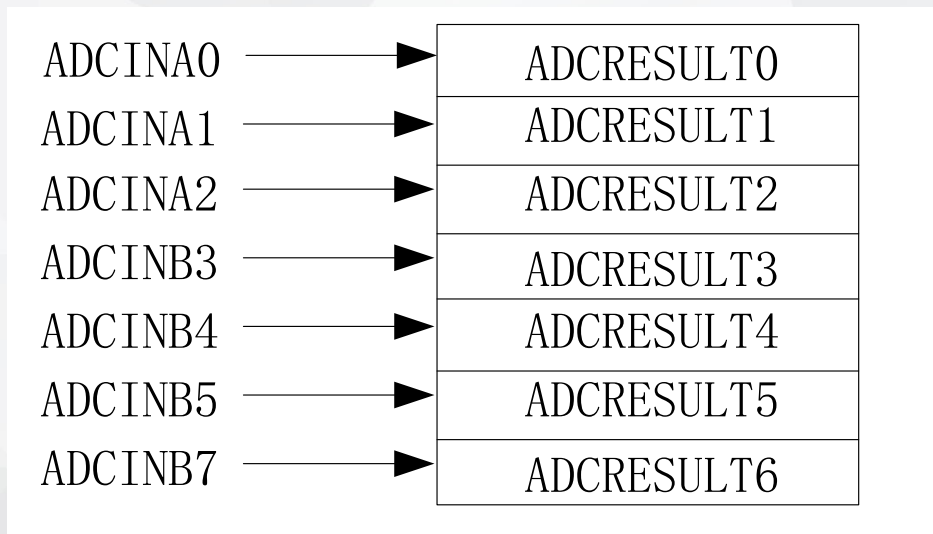


图11-15 双序列发生器顺序采样模式下
7路通道转换结果



ADC模块的工作方式·双序列发生器模式下并发采样

假设需要对ADCINA0~ADCINA7，ADCINB0~ADCINB7这16路通道进行采样，ADC模块工作于双序列发生器模式，并采用并发采样。

由于ADC工作于双序列发生器模式，所以会用到序列发生器SEQ1、SEQ2。最大转换通道寄存器将用到位MAXCONV1和MAXCONV2，两个位的值均为3。这里值得注意的是，由于并发采样是一对通道、一对通道的采样，比如采样ADCINA0，也必定会采样ADCINB0，所以A组和B组采样的通道数是一样的，也就是MAXCONV1和MAXCONV2的值必须是一样的，而且只需要对一对通道中的任何一个通道进行排序，所以通道选择控制寄存器使用的数量也将是顺序采样时的一半。SEQ1将用到通道选择控制寄存器ADCCHSELSEQ1，SEQ2将用到通道选择控制寄存器ADCCHSELSEQ3，其通道分配情况如表11-6所示。序列发生器内通道的选择情况如图11-16所示。



ADC模块的工作方式·双序列发生器模式下并发采样

ADCCHSELSEQ1	CONV00	0000(ADCINA0)	ADCCHSELSEQ3	CONV08	1000(ADCINB4)
	CONV01	0001(ADCINA1)		CONV09	1001(ADCINB5)
	CONV02	0010(ADCINA2)		CONV10	1010(ADCINB6)
	CONV03	0011(ADCINA3)		CONV11	1011(ADCINB7)
ADCCHSELSEQ2	CONV04	x	ADCCHSELSEQ4	CONV12	x
	CONV05	x		CONV13	x
	CONV06	x		CONV14	x
	CONV07	x		CONV15	x

表11-6 双序列发生器并发采样模式下
16路通道时ADCCHSELSEQ_n位情况



ADC模块的工作方式·双序列发生器模式下并发采样

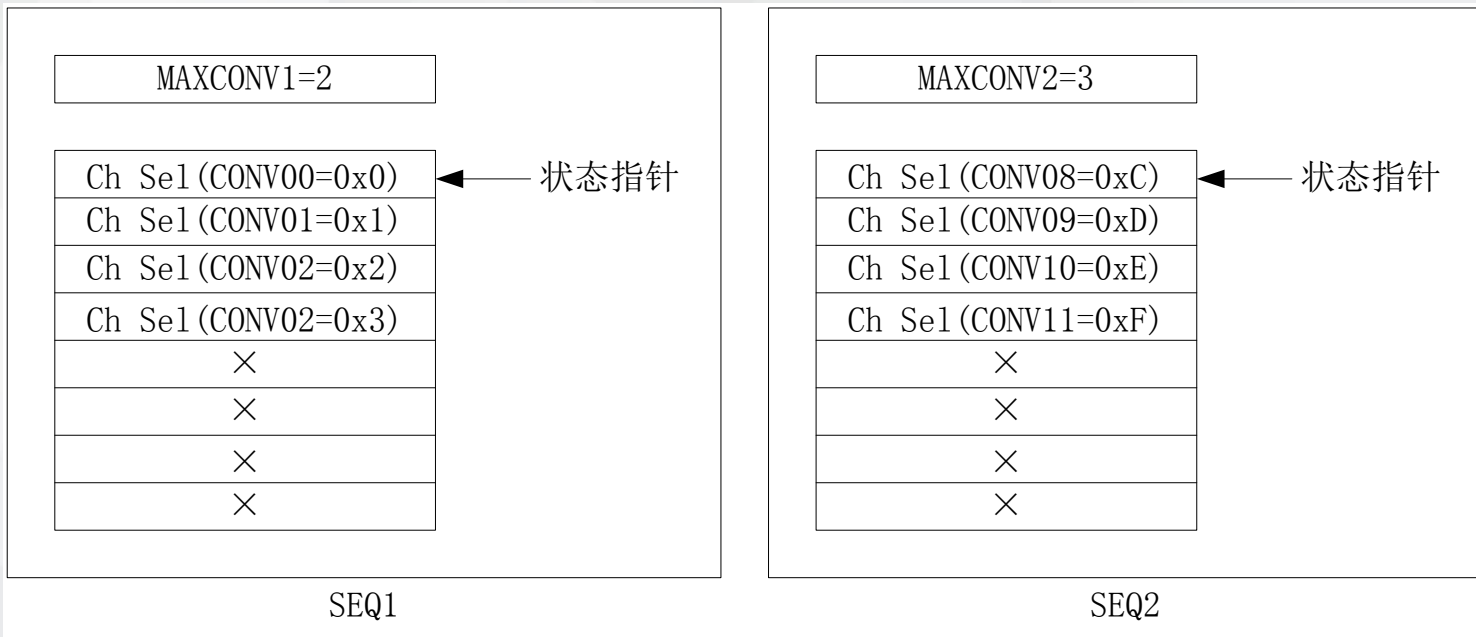


图11-16双序列发生器并发采样模式下
序列发生器16路通道选择情况



ADC模块的工作方式·双序列发生器模式下顺序采样

如果序列发生器SEQ1和SEQ2两者都已经完成了转换，转换结果如图11-17所示。

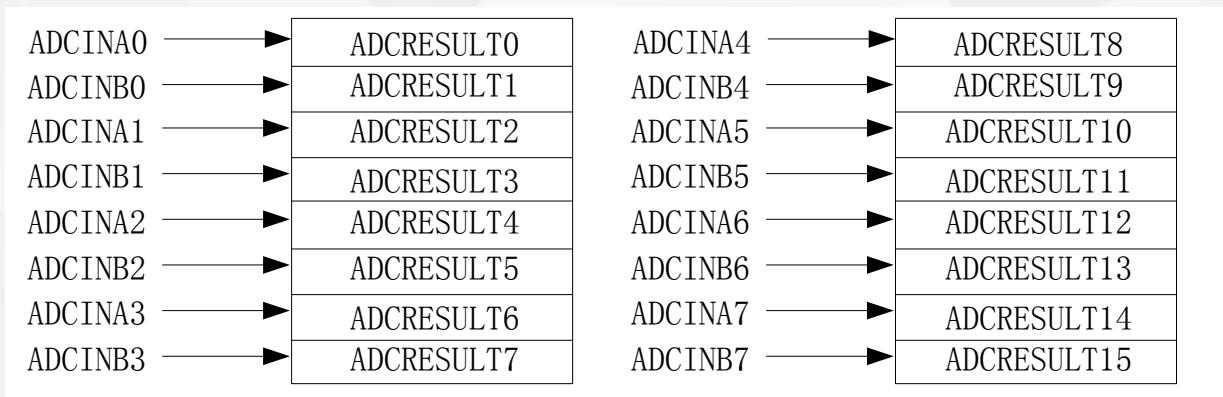


图11-15 双序列发生器顺序采样模式下
16路通道转换结果



ADC模块的工作方式·级联模式下的顺序采样

假设需要对ADCINA0~ADCINA7，ADCINB0~ADCINB7这16路通道进行采样，ADC模块工作于级联模式，并采用顺序采样。

由于ADC工作于级联模式，所以此时序列发生器SEQ1和SEQ2级联成了一个16状态的序列发生器SEQ。如图11-11所示，最大转换通道寄存器用到的功能位MAXCONV1也由原来的3个数据位变成了4位，由于需要对16路通道进行采样，所以MAXCONV1的值为15。由于采样方式是顺序采样，所以必须对16个通道每一个通道都要进行排序，SEQ将用到通道选择控制寄存器ADCCHSELSEQ1、ADCCHSELSEQ2、ADCCHSELSEQ3、ADCCHSELSEQ4，其通道分配情况如表11-7所示。序列发生器内通道的选择情况如图11-18所示。



ADC模块的工作方式·级联模式下的顺序采样

ADCCHSELSEQ1	CONV00	0000(ADCINA0)	ADCCHSELSEQ3	CONV08	1000(ADCINB0)
	CONV01	0001(ADCINA1)		CONV09	1001(ADCINB1)
	CONV02	0010(ADCINA2)		CONV10	1010(ADCINB2)
	CONV03	0011(ADCINA3)		CONV11	1011(ADCINB3)
ADCCHSELSEQ2	CONV04	0100(ADCINA4)	ADCCHSELSEQ4	CONV12	1100(ADCINB4)
	CONV05	0101(ADCINA5)		CONV11	1101(ADCINB5)
	CONV06	0110(ADCINA6)		CONV14	1110(ADCINB6)
	CONV07	0111(ADCINA7)		CONV15	1111(ADCINB7)

表11-7 级联顺序采样模式下16路通道时
ADCCHSELSEQn位情况



ADC模块的工作方式·级联模式下的顺序采样



图11-18级联顺序采样模式下
序列发生器16路通道选择情况



ADC模块的工作方式·双序列发生器模式下顺序采样

如果序列发生器SEQ已经完成了转换，转换结果如图11-19所示。

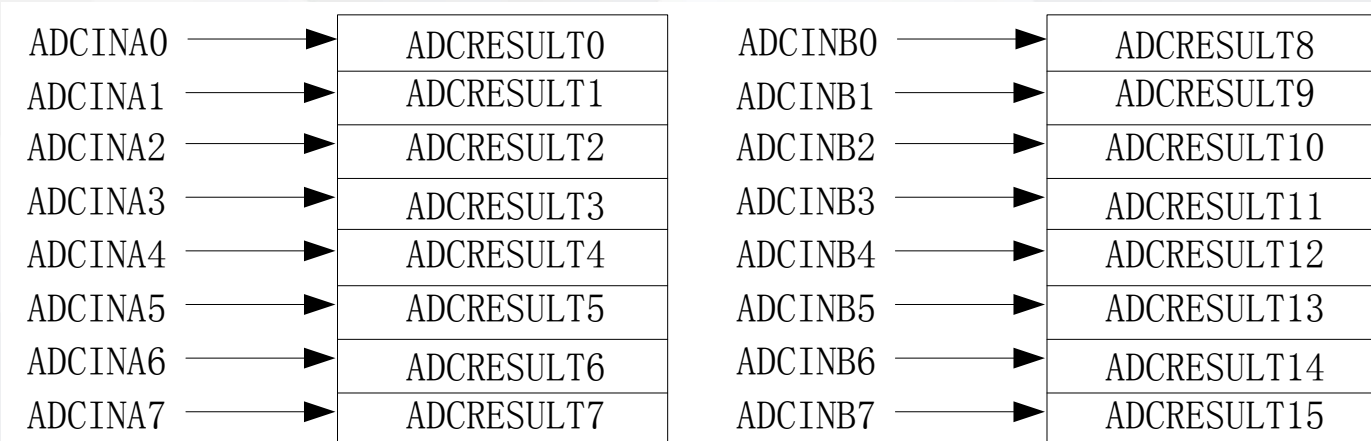


图11-19级联顺序采样模式下16路通道转换结果



ADC模块的工作方式·双序列发生器模式下顺序采样

有没有发现，双序列发生器模式顺序采样16路通道和级联模式顺序采样16路通道的初始化程序区别仅仅在于对MAXCONV的设置上，但事实上两种工作模式的区别肯定不止这个，为了能够更清楚的看清两种工作模式的区别，仍然和前面一样，假设需要对ADCINA0、ADCINA1、ADCINA2、ADCINB3、ADCINB4、ADCINB5、ADCINB7这7路通道进行采样，ADC模块工作于级联模式，并采用顺序采样。

由于ADC工作于级联模式，所以此时序列发生器SEQ1和SEQ2级联成了一个16状态的序列发生器SEQ。由于需要对7路通道进行采样，所以MAXCONV1的值为6。由于采样方式是顺序采样，所以必须对这6个通道一一进行排序，SEQ将用到通道选择控制寄存器ADCCHSELSEQ1、ADCCHSELSEQ2，其通道分配情况如表11-8所示。序列发生器内通道的选择情况如图11-20所示。



ADC模块的工作方式·双序列发生器模式下顺序采样

ADCCHSELSEQ1	CONV00	0000(ADCINA0)	ADCCHSELSEQ3	CONV08	×
	CONV01	0001(ADCINA1)		CONV09	×
	CONV02	0010(ADCINA2)		CONV10	×
	CONV03	1011(ADCINB3)		CONV11	×
ADCCHSELSEQ2	CONV04	1100(ADCINB4)	ADCCHSELSEQ4	CONV12	×
	CONV05	1101(ADCINB5)		CONV11	×
	CONV06	1111(ADCINB7)		CONV14	×
	CONV07	×		CONV15	×

表11-8 级联顺序采样模式下7路通道时ADCCHSELSEQn位情况



ADC模块的工作方式·双序列发生器模式下顺序采样

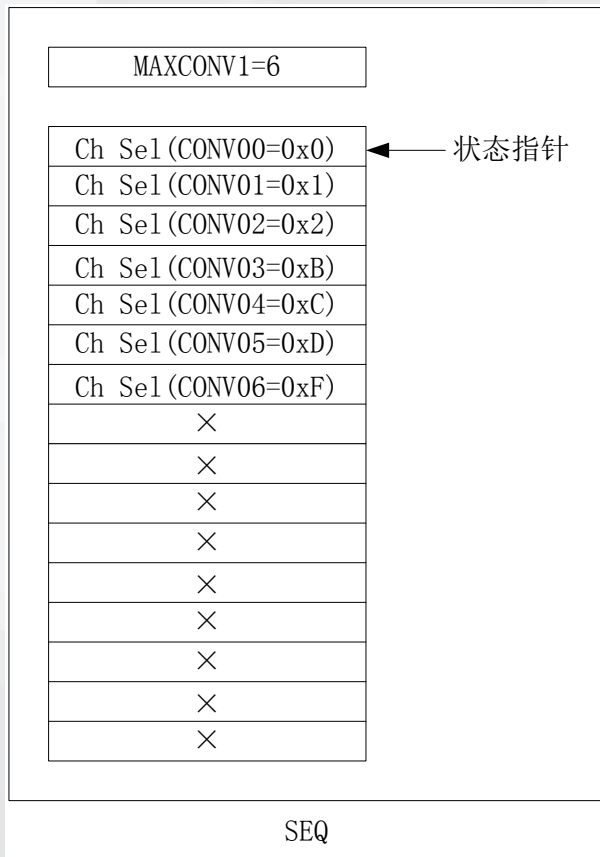


图11-20级联顺序采样模式下序列发生器7路通道选择情况



ADC模块的工作方式·双序列发生器模式下顺序采样

如果序列发生器SEQ已经完成了转换，转换结果如图11-21所示。

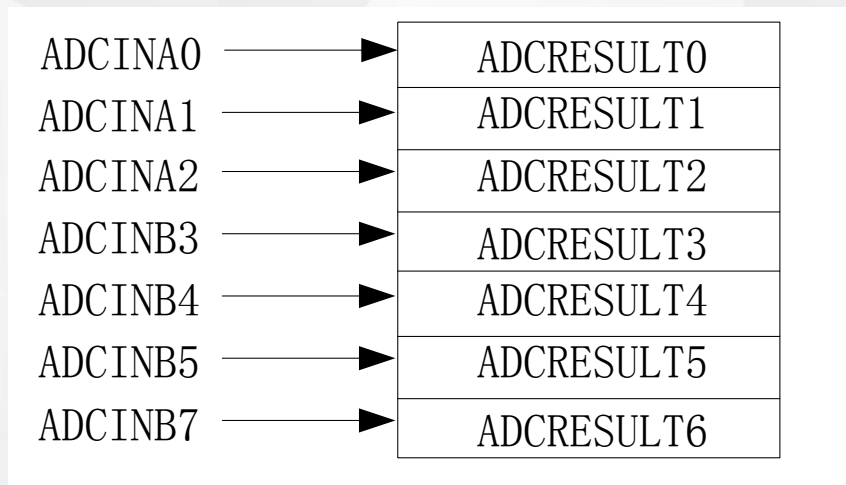


图11-21级联顺序采样模式下
7路通道转换结果



ADC模块的工作方式·双序列发生器模式下顺序采样

通过这个例子可以看到，双序列发生器模式下顺序采样和级联模式下顺序采样的区别除了对最大转换通道寄存器的设置不同外，最大的区别在于通道选择控制寄存器的使用上，在双序列发生器模式下，A组的通道只能选择ADCCHSELSEQ1和ADCCHSELSEQ2，B组的通道只能选择ADCCHSELSEQ3和ADCCHSELSEQ4，但是在级联模式下，不管A组通道或者B组通道，都能选择ADCCHSELSEQ1~ADCCHSELSEQ4中的任意一个通道选择控制寄存器。当然，这些区别究其本质，主要是由于双序列发生器模式下使用到的是2个8状态的序列发生器SEQ1和SEQ2，而级联模式下使用到的序列发生器是16状态的SEQ。



ADC模块的工作方式·级联模式下的并发采样

假设需要对ADCINA0~ADCINA7，ADCINB0~ADCINB7这16路通道进行采样，ADC模块工作于级联模式，并采用并发采样。

由于ADC工作于级联模式，所以SEQ1和SEQ2级联成了16状态的SEQ。因为并发采样是一对通道、一对通道的采样，比如采样ADCINA0，也必定会采样ADCINB0，所以A组和B组采样的通道数必定是一样的。这里只需要对一对通道中的任何一个通道进行排序，要对2组16个通道进行采样，只需要对8个通道进行排序就可以了，因此，MAXCONV1的值为7。通道选择控制寄存器使用的数量也将是顺序采样时的一半，序列发生器SEQ将用到通道选择控制寄存器ADCCHSELSEQ1和ADCCHSELSEQ2，其通道分配情况如表11-9所示。序列发生器内通道的选择情况如图11-22所示。



ADC模块的工作方式·级联模式下的并发采样

ADCCHSELSEQ1	CONV00	0000(ADCINA0)	ADCCHSELSEQ3	CONV08	×
	CONV01	0001(ADCINA1)		CONV09	×
	CONV02	0010(ADCINA2)		CONV10	×
	CONV03	0011(ADCINA3)		CONV11	×
ADCCHSELSEQ2	CONV04	0100(ADCINA4)	ADCCHSELSEQ4	CONV12	×
	CONV05	0101(ADCINA5)		CONV11	×
	CONV06	0110(ADCINA6)		CONV14	×
	CONV07	0111(ADCINA7)		CONV15	×

表11-9 级联并发采样模式下16路通道时ADCCHSELSEQn位情况



ADC模块的工作方式·级联模式下的并发采样

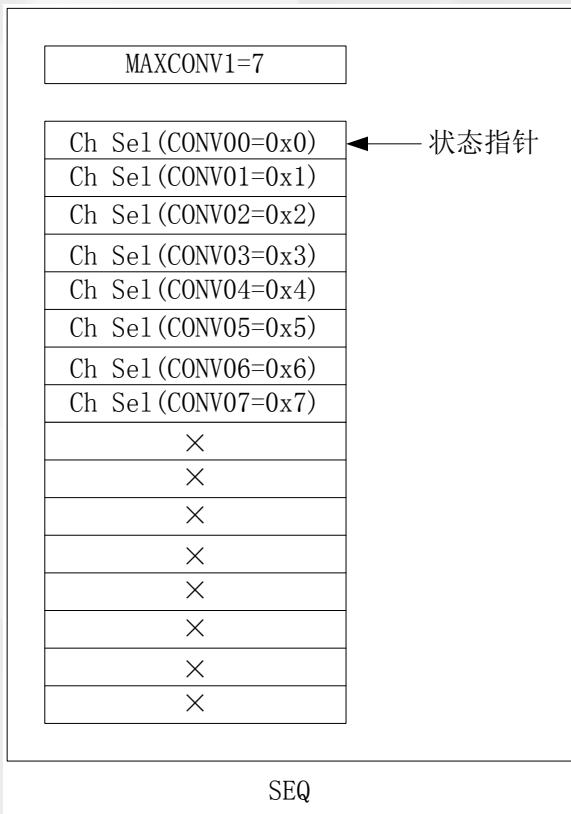


图11-22级联并发采样模式下序列发生器16路通道选择情况



ADC模块的工作方式·双序列发生器模式下顺序采样

如果序列发生器SEQ已经完成了转换，转换结果如图11-23所示。

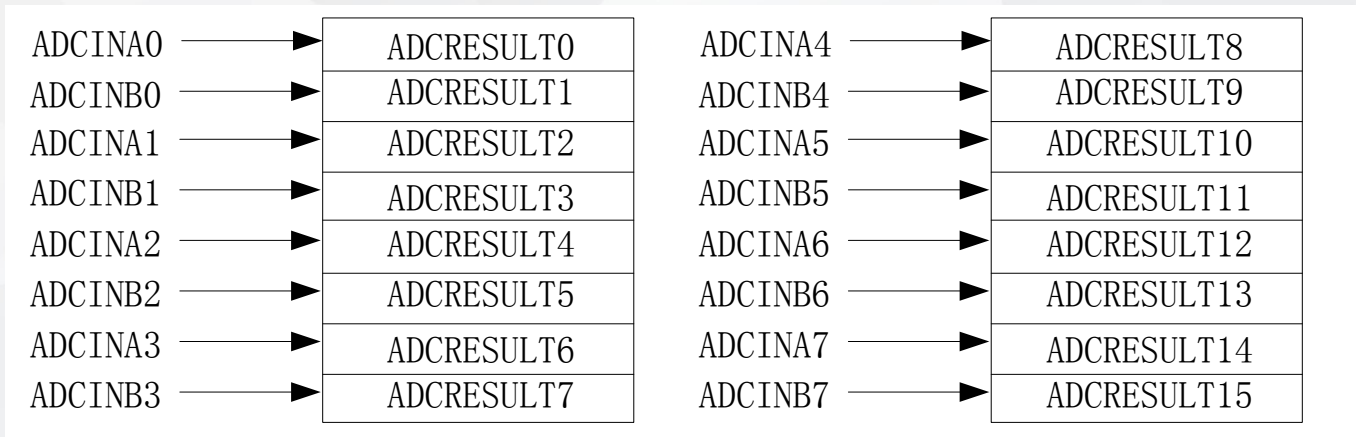


图11-23级联并发采样模式下
16路通道转换结果



ADC模块的工作方式·双序列发生器模式下顺序采样

终于介绍完了ADC模块的这4种工作方式，其实无论是采用哪一种工作方式，其最终转换得到的结果都是一样的，因为最终决定某个通道转换结果的是该通道的模拟输入，和ADC的工作方式是没有关系的。在实际使用时，用的最多的就是理解起来最简单的级联模式下进行顺序采样的方式。当然，究竟选用哪一种工作模式，应当结合工程的实际需求，例如需要计算瞬时功率时，可以选用并发采样模式，因为这样可以一路采集电压，另一路同时采集电流。



ADC模块的工作方式·序列发生器连续自动序列化模式和启动/停止模式

下面一起来探讨ADC模块序列发生器的工作流程，看看序列发生器到底是如何按部就班地来实现对一个序列通道的转换的，图11-24为序列发生器工作的流程图。通过前面的学习已经知道，一个序列需要转换的通道数是由MAXCONVn进行控制的，如果MAXCONVn的值为n，则这个序列需要转换的通道总数为(n+1)个。在启动一个转换序列进行转换时，ADC模块将MAXCONVn的值装载入自动序列状态寄存器ADCSEQSR的序列计数器状态位SEQCNTR。当转换开始，序列发生器的状态指针将根据通道选择控制寄存器ADCCHSELSEQn中的状态进行指示，例如图11-22中，从CONV00开始，接下来是CONV01，CONV02，……。



ADC模块的工作方式·序列发生器连续自动序列化模式和启动/停止模式

每转换一个通道，SEQCNTR的值就减1，直到为0，完成一个序列通道的转换。由于SEQCNTR是从n开始递减至0，所以当结束一个序列的转换时，完成转换的通道一共刚好是(n+1)个。关键是序列发生器在完成一个序列的转换后，接下来该如何工作？根据ADC控制寄存器ADCTRL1的CONT RUN位状态的不同，ADC的序列发生器可工作于连续自动序列化模式或者启动/停止模式。

当CONT RUN位的值为1的时候，序列发生器工作于连续自动序列化模式。当序列发生器完成一个序列的转换时，转换序列将自动重复开始，序列发生器的状态指针重新指向CONV00，MAXCONVn的值重新装入SEQCNTR，接着开始再一次的转换。在这种情况下，为了避免重写数据，必须确保在下一个转换序列开始前，读取结果寄存器。



ADC模块的工作方式·序列发生器连续自动序列化模式和启动/停止模式

当CONT RUN位的值为0的时候，序列发生器工作于启动/停止模式。当序列发生器完成一个序列的转换时，序列发生器的状态指针就停在了当前转换的状态。仍然以图11-22的例子来说明，如果序列发生器工作在启动/停止模式，当完成该序列的转换时，序列发生器的状态指针将停留在状态CONV07，此时，如果想要再一次对该序列进行转换的话，首先必须手动复位序列发生器，使得状态指针重新指向CONV00，否则状态指针将指向CONV08，然后必须等待转换请求SOC信号的到来。启动/停止模式时，每启动一次ADC转换，序列发生器就完成一次序列的转换，转换结束后必须手动复位序列发生器，以等待下一次转换的启动。手动复位序列发生器SEQ1的方法如下：

```
AdcRegs.ADCTRL2.bit.RST_SEQ1=1; //立即复位序列发生器状态为CONV00
```



ADC模块的工作方式·序列发生器连续自动序列化模式和启动/停止模式

实际使用时，通常都选择启动/停止模式，因为该模式下比较容易设置ADC采样的频率，1s内启动多少次ADC的转换，采样频率就为多少。

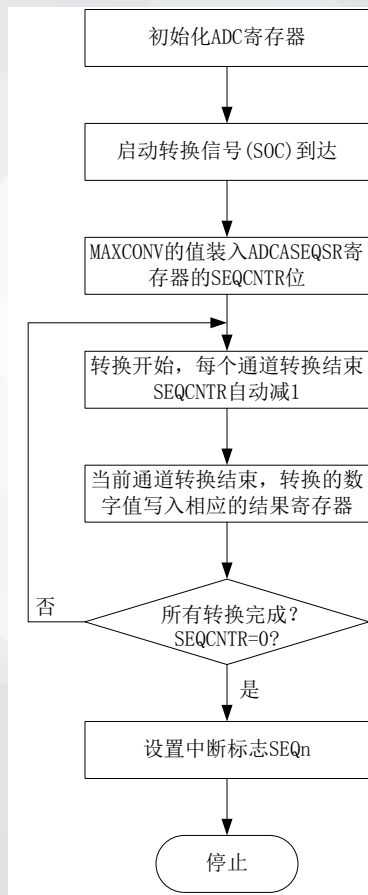


图11-24 序列发生器工作流程图



ADC模块的中断

从图11-24可以看到，当序列发生器完成一个序列的转换时，就会对该序列发生器的中断标志位进行置位，如果该序列发生器的中断已经使能，则ADC模块便向PIE控制器提出中断请求。当ADC模块工作于双序列发生器模式时，序列发生器SEQ1和SEQ2可以分开单独设置中断标志位和使能位，当ADC模块工作于级联模式时，设置序列发生器SEQ1的中断标志位和使能位便可以产生ADC转换的中断。双序列发生器模式时，无论是SEQ1产生中断，还是SEQ2产生中断，都是中断ADCINT，位于PIE控制器第一组的第6个。下面的分析都以序列发生器SEQ1为例。



ADC模块的中断

ADC模块的序列发生器支持两种中断方式，一种叫“interrupt request occurs at the end of every sequence”，意思是中断请求出现在每一个序列转换结束时，换句话说，每转换完一个序列，便产生一次中断请求；另一种叫“interrupt request occurs at the end of every other sequence”，意思是中断请求出现在每隔一个序列转换结束时，换句话说，不是每次转换完都会产生一个中断请求，而是一个隔一个的产生，比如第一次转换完成时并不产生中断请求，第二次转换完成时才产生中断请求，接着，第三次转换完成也不产生中断请求，第四次转换完成时产生中断请求，一直这样下去。ADC模块究竟工作于哪种中断方式，可以通过控制寄存器ADCTRL2的中断方式使能控制位来进行设置。



ADC模块的中断

当ADC中断最终被CPU响应时，通常在ADC中断函数里要做的就是读取ADC转换结果寄存器里的值，还有一些其他的操作。下面将结合两个例子，来看看上述的两种中断方式是如何来工作的。



ADC模块的中断

1. 中断请求出现在每一个序列转换结束时

如图11-25所示，ADC模块需要采集5个量，I1、I2、V1、V2、V3，图中采用的是两个触发信号启动了两个序列的转换，触发信号1是通用定时器1的下溢中断事件，启动了2个通道的自动转换，分别是I1和I2，触发信号2是通用定时器1的周期中断事件，启动了3个通道的自动转换，分别是V1、V2、V3，触发信号1和触发信号2在时间上相差25us。序列发生器工作在启动/停止模式。ADC输入通道选择序列控制寄存器的设置情况如表11-10所示。



ADC模块的中断

1. 中断请求出现在每一个序列转换结束时

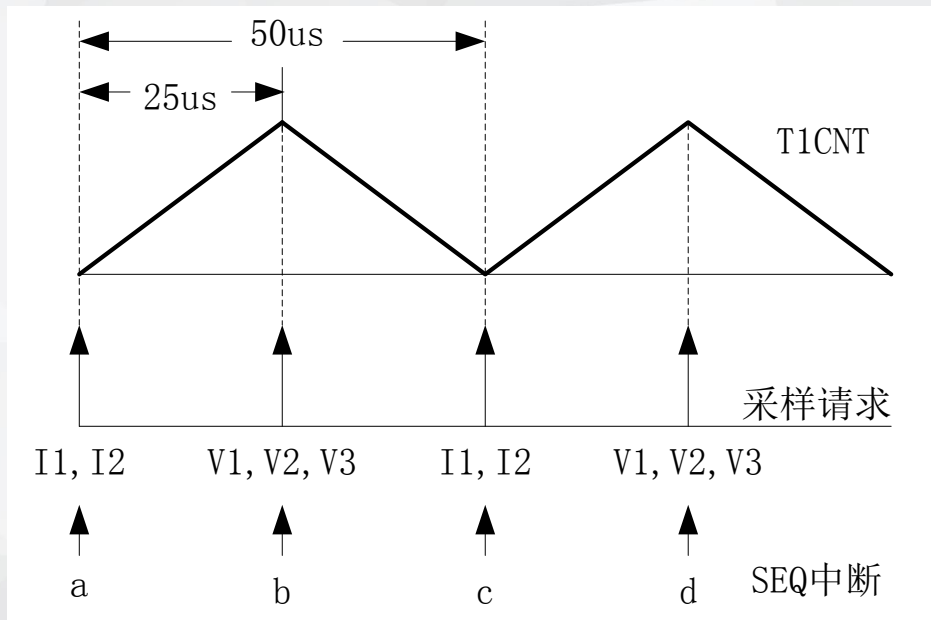


图11-25 中断请求出现在
每一次序列转换结束时



ADCCHSELSEQ1	CONV00	I1	ADCCHSELSEQ3	CONV08	×
	CONV01	I2		CONV09	×
	CONV02	V1		CONV10	×
	CONV03	V2		CONV11	×
ADCCHSELSEQ2	CONV04	V3	ADCCHSELSEQ4	CONV12	×
	CONV05	×		CONV11	×
	CONV06	×		CONV14	×
	CONV07	×		CONV15	×

表11-10 ADC输入通道选择
序列控制寄存器设置



ADC模块的中断

首先，因为需要转换I1和I2，序列发生器用MAXCONV1=1来进行初始化。一旦复位和初始化，SEQ1就等待一个触发，也就是等待一个启动转换的信号。第一个转换序列号要完成2个通道的转换，这两个转换由CONV00(I1)和CONV01(I2)的通道值来确定。SEQ1一旦收到触发信号1，便将MAXCONV1的值装载入SEQCNTR中，然后先转换CONV00的通道，再转换CONV01的通道，也就是先转换I1，然后再转换I2。由于中断方式为每一个转换序列结束时产生中断请求，当完成这个序列的转换时，序列发生器产生中断事件，如图11-25标识的，称为中断“a”。此时，序列发生器的状态指针指向的是CONV01。



ADC模块的中断

由于接下来需要转换的是V1、V2、V3，一共是3个通道，因此需要在中断服务子程序a中，将MAXCONV1的值改为2。当SEQ1一旦收到触发信号2，便将MAXCONV1的值自动装载入SEQCNTR中，状态指针指向CONV02，先转换CONV02的通道，接着转换CONV03和CONV04。当完成这个序列的转化时，序列发生器再次产生中断事件，称为中断事件b。



ADC模块的中断

接下来依然需要转换通道I1和I2，所以在中断服务子程序b中，需要将MAXCONV1的值又改为1，然后从ADC结果寄存器中读取I1、I2、V1、V2、V3的数值，还有一件事千万不能忘，此时序列发生器的状态指针指向的是CONV04，所以在开始采集I1和I2之前，先要复位序列发生器，使状态指针指向CONV00。

中断c重复中断a，中断d重复中断b，就这样不断重复下去。这个例子用来说明序列发生器在每一个序列转换结束时都会产生一个中断请求的工作方式，接下来看另外一个例子。



2. 中断请求出现在每隔一个序列转换结束时

如图11-26所示，ADC模块需要采集6个量，I1、I2、I3、V1、V2、V3，和前面的例子一样，采用的是两个触发信号启动了两个序列的转换，触发信号1是通用定时器1的下溢中断事件，启动了3个通道的自动转换，分别是I1、I2、I3，触发信号2是通用定时器1的周期中断事件，启动了3个通道的自动转换，分别是V1、V2、V3，触发信号1和触发信号2在时间上相差25us。序列发生器工作在启动/停止模式。ADC输入通道选择序列控制寄存器的设置情况如表11-11所示。



ADC模块的中断

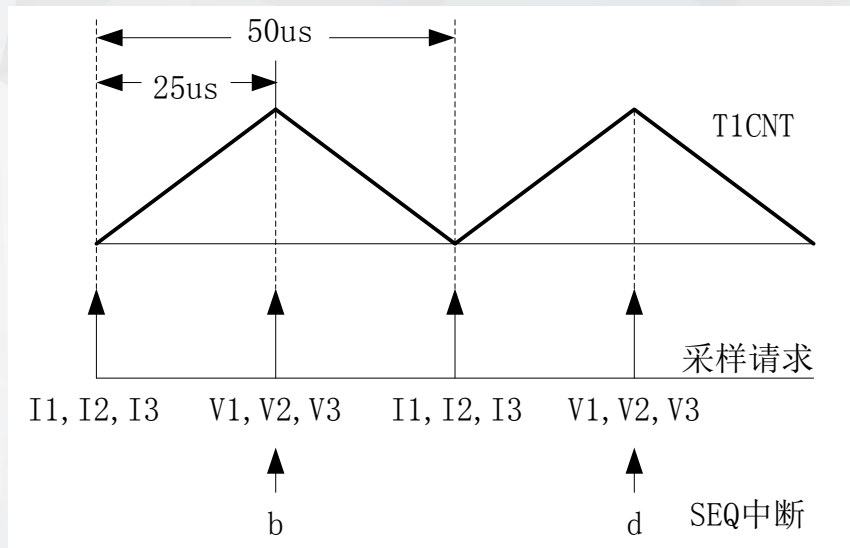


图11-26 中断请求出现在
每隔一个序列转换结束时



ADC模块的中断

ADCCHSELSEQ1	CONV00	I1	ADCCHSELSEQ3	CONV08	×
	CONV01	I2		CONV09	×
	CONV02	I3		CONV10	×
	CONV03	V1		CONV11	×
ADCCHSELSEQ2	CONV04	V2	ADCCHSELSEQ4	CONV12	×
	CONV05	V3		CONV11	×
	CONV06	×		CONV14	×
	CONV07	×		CONV15	×

表11-11 ADC输入通道选择控制寄存器设置



ADC模块的中断

首先，因为需要转换 I1、I2 和 I3，序列发生器用 MAXCONV1=2 来进行初始化。一旦复位和初始化，SEQ1 就等待一个触发，也就是等待一个启动转换的信号。第一个转换序列号要完成 3 个通道的转换，这 3 个转换由 CONV00(I1)、CONV01(I2) 和 CONV02(I3) 的通道值来确定。SEQ1 一旦收到触发信号 1，便将 MAXCONV1 的值装载入 SEQCNTR 中，然后先转换 CONV00 的通道，再转换 CONV01、CONV02，也就是先转换 I1，然后再转换 I2 和 I3。由于中断方式为每隔一个转换序列结束时产生中断请求，当完成这个序列的转换时，序列发生器将不产生中断事件。此时，序列发生器的状态指针指向 CONV02。



ADC模块的中断

当SEQ1接收到触发信号2时，将MAXCONV1的值重新装载入SEQCNTR，因为MAXCONV1的值仍为2，所以还能刚好采集3个通道。状态指针指向CONV03，开始转换V1，接着转换V2和V3。当完成这个序列的转化时，序列发生器产生中断事件，如图11-26所示，称为中断事件b。那么，在中断服务子程序b中，需要将I1、I2、I3、V1、V2、V3这六个通道的数据值从ADC结果寄存器中读出来，然后复位序列发生器，等待触发信号1开始新的转换。中断事件d将重复中断事件b，并一直重复下去。这个例子用以说明中断出现在每隔一个序列转换结束时的工作方式。



ADC模块的中断

可能会有这样的疑问，为什么不将这5个或者6个通道作为一个序列来进行转换，中断请求出现在每一个序列转换结束时，在中断服务子程序里读取所有通道对应的结果寄存器的值，并复位序列发生器，而为何如此麻烦，要将这几个通道分成两个序列来分开采样呢？仔细观察一下，便会发现，这两个例子中涉及到了两种物理量，电流和电压，由于这两种物理量采样时刻不同，所以才将其分成了两个序列分别进行转换。如果这几路物理量的采样时刻相同，那么完全可以将其作为一个序列来进行转化。



参考电压的选择

参考电压是影响AD转换精度的一个重要因素。前面提到过，F28335内部的ADC通过配置寄存器ADCREFSEL来选择使用内部参考电压还是外部参考电压，外部参考电压可以选择2.048V、1.5V或者1.024V，默认情况是采用的内部参考电压。图11-27是参考电压选择图，可以选择内部参考电压，也可以选择外部2.048V的参考电压

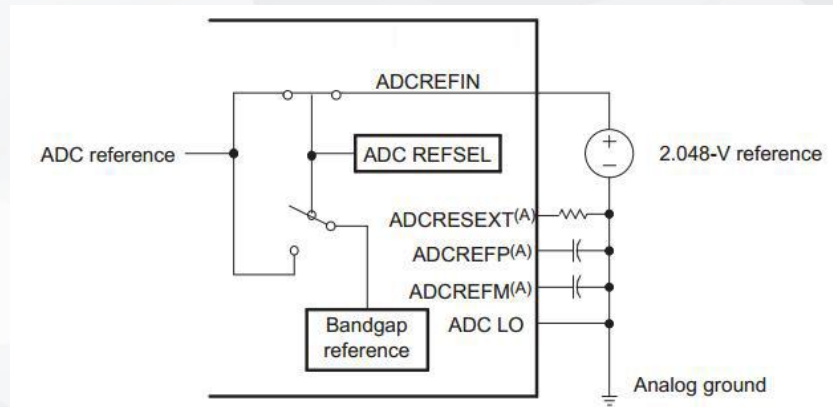


图11-27 参考电压选择



参考电压的选择

如果选择内部参考电压，引脚ADCREFIN可以悬空，也可以接地。无论选择使用哪种方式，引脚ADCRESEXT、ADCREFP、ADCREFM的外部电路是一样的。

为了满足工业应用的需求，通常外部参考电压使用2.048V，所选用的提供参考电压的器件应当具有比较宽的温度范围，推荐使用TI的REF3020AIDBZ。



ADC模块的寄存器

ADC模块的寄存器如表11-12所示。

寄存器名	地址1	地址2	尺寸 (*16)	说明
ADCTRL1	0x7100		1	控制寄存器1
ADCTRL2	0x7101		1	控制寄存器2
ADCMAXCONV	0x7102		1	最大转换通道设定寄存器
ADCCHSELSEQ1	0x7103		1	通道选择控制寄存器1
ADCCHSELSEQ2	0x7104		1	通道选择控制寄存器2
ADCCHSELSEQ3	0x7105		1	通道选择控制寄存器3
ADCCHSELSEQ4	0x7106		1	通道选择控制寄存器4
ADCASEQSR	0x7107		1	自动序列发生器状态寄存器
ADCRESLT0	0x7108	0x0B00	1	结果寄存器0
ADCRESLT1	0x7109	0x0B01	1	结果寄存器1
ADCRESLT2	0x710A	0x0B02	1	结果寄存器2
ADCRESLT3	0x710B	0x0B03	1	结果寄存器3
ADCRESLT4	0x710C	0x0B04	1	结果寄存器4
ADCRESLT5	0x710D	0x0B05	1	结果寄存器5
ADCRESLT6	0x710E	0x0B06	1	结果寄存器6
ADCRESLT7	0x710F	0x0B07	1	结果寄存器7
ADCRESLT8	0x7110	0x0B08	1	结果寄存器8
ADCRESLT9	0x7111	0x0B09	1	结果寄存器9
ADCRESLT10	0x7112	0x0B0A	1	结果寄存器10
ADCRESLT11	0x7111	0x0B0B	1	结果寄存器11
ADCRESLT12	0x7114	0x0B0C	1	结果寄存器12
ADCRESLT11	0x7115	0x0B0D	1	结果寄存器13
ADCRESLT14	0x7116	0x0B0E	1	结果寄存器14
ADCRESLT15	0x7117	0x0B0F	1	结果寄存器15
ADCTRL3	0x7118		1	控制寄存器3
ADCST	0x7119		1	状态寄存器
保留	0x711A 0x711B		2	
ADCREFSEL	0x711C		1	参考电压选择寄存器
ADCOFFTRIM	0x711D		1	校正寄存器
保留	0x711E 0x711F		2	



ADC模块的寄存器

ADC寄存器的具体定义可见C2000助手。

从表11-12可以看到，结果寄存器有2个地址。位于外设0地址单元内的的结果寄存器地址（0x0B00~0x0B0F）支持DMA直接访问模式，DMA访问无需通过总线，所以这些寄存器支持CPU的直接访问。位于外设2地址单元内的结果寄存器（0x7108~0x7117）不支持DMA访问。



ADC采样例程

假设ADC模块工作于级联模式，SEQ1和SEQ2级联成了一个16状态的序列发生器SEQ，来实现对引脚ADCINA0~ADCINA7和ADCINB0~ADCINB7共16路通道的采样，下面将介绍如何使用软件置位的方法来启动ADC模块的转换。

ADC模块工作于级联模式，SEQ1和SEQ2级联成了一个16状态的序列发生器SEQ，顺序采样，并采用软件置位的方法启动ADC转换。本程序的基本思路如下：

- 1.初始化系统，为系统分配时钟，处理看门狗电路等。
- 2.初始化ADC模块，设定ADC采样的相关方式，例如单序列发生器，顺序采样，决定采样通道的顺序等等。
- 3.软件置位启动ADC转换，等待转换结束，读取转换结果。



ADC采样例程

运行程序后，可以通过设置断点来观察ADC结果寄存器中的值。当ADC引脚悬空时，引脚处于高阻态，也是会有电压的，而且是随机值。只有给引脚施加了采样信号之后，采样结果才正确，不过需要注意的是，施加的电压值必须是0-3V之间的。建议对于不使用的ADC引脚，最好将其接地，这样采样到的数据就是0。



ADC采样例程

本章详细介绍了F28335 ADC模块的结构、特点及其工作方式，结合实例分析了如何编写ADC转换的程序，下一章将详细介绍F28335的ePWM模块。